

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-044417

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

G06F 11/22

(21)Application number : 05-184767

(71)Applicant : OKI MICRO DESIGN MIYAZAKI:KK
OKI ELECTRIC IND CO LTD

(22)Date of filing : 27.07.1993

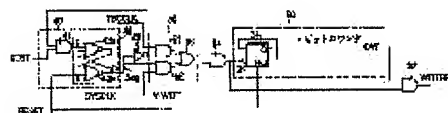
(72)Inventor : TONAI HISASHI

(54) TEST CIRCUIT FOR MICROCOMPUTER

(57)Abstract:

PURPOSE: To reduce the scale of the test circuit, to simplify the test method and to remarkably reduce the test time.

CONSTITUTION: When a select signal generating circuit 40 and an n-bit counter 30 are reset by a reset signal RESET, a select signal S40 outputted from an RS F/F 42 goes to an L level, a select circuit 50 selects a clock TBCCLK and the n-bit counter 30 is counted up by a first one-count only based on the clock TBCCLK. Then the select signal S40 goes to an H level by the output of a 1st stage F/F 31, the select circuit 50 selects a basic clock SYSCLK, which is used to count up the n-bit counter 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-44417

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl.⁶

G 0 6 F 11/22

識別記号

3 4 0 Z

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平5-184767

(22) 出願日 平成5年(1993)7月27日

(71) 出願人 591049893

株式会社沖マイクロデザイン宮崎

宮崎県宮崎市大和町9番2号

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 藤内 久志

宮崎県宮崎市大和町9番2号 株式会社沖

マイクロデザイン宮崎内

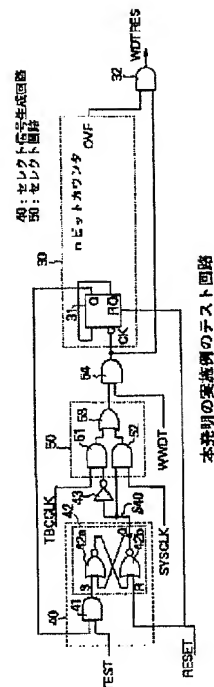
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 マイクロコンピュータのテスト回路

(57) 【要約】

【目的】 テスト回路の規模が小さく、テスト方法が簡略化され、テスト時間の大幅な短縮を図る。

【構成】 リセット信号RESETによってセレクト信号生成回路40及びnビットカウンタ30がリセットされると、RS・F/F42から出力されるセレクト信号S40が“L”となり、セレクト回路50がクロックTBCCLKを選択し、該クロックTBCCLKによってnビットカウンタ30が最初の1カウントのみカウントアップする。すると、初段のF/F31の出力によってセレクト信号S40が“H”となり、セレクト回路50が基本クロックSYSCLKを選択し、該基本クロックSYSCLKでnビットカウンタ30をカウントアップさせていく。



【特許請求の範囲】

【請求項1】 複数段のフリップフロップで構成され、リセット信号によりリセットされかつカウントアップ用クロックによってカウントアップされるオーバフロー付きnビットカウンタを有するウォッチドッグタイマを備え、

前記ウォッチドッグタイマにクロックを供給してオーバフロー信号が期待時間後に発生するか否かのテストを行うマイクロコンピュータのテスト回路において、

前記リセット信号でリセットされて第1のセレクト信号を出力した後に、前記nビットカウンタの初段のフリップフロップの出力とテスト信号とに基づきセレクトされて第2のセレクト信号を出力するセレクト信号生成回路と、

前記カウントアップ用クロックと該クロックよりも短い周期の高速クロックとを入力し、前記第1のセレクト信号で該カウントアップ用クロックを出力して前記nビットカウンタをカウントアップさせ、かつ前記第2のセレクト信号で切換えられ該高速クロックを出力して前記nビットカウンタをカウントアップさせるセレクト回路とを、

設けたことを特徴とするマイクロコンピュータのテスト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、プログラム暴走監視用のウォッチドッグタイマを備えたマイクロコンピュータ（以下、マイコンという）において、そのウォッチドッグタイマにクロックを供給してオーバフロー信号が期待時間後に発生するか否かのテストを行うマイコンのテスト回路に関するものである。

【0002】

【従来の技術】 図2は、マイコン内に設けられる従来の一般的なウォッチドッグタイマの一構成例を示す概略のブロック図である。このウォッチドッグタイマは、ブロックAのウォッチドッグタイマカウンタ10と、ブロックBのクロック制御回路20とで構成されている。ブロックAのウォッチドッグタイマカウンタ10は、リセット可能なオーバフロー付きnビットカウンタ11で構成されている。このnビットカウンタ11は、クロック入力端子CKに入力されるクロックをカウントアップし、一定時間以上経過してもリセット信号によりリセットされないときにはオーバフローを生じ、オーバフロー端子OVFから、ウォッチドッグタイマオーバフローによるリセット信号WDTRESを出力する回路である。ブロックBのクロック制御回路20は、マイコン内に設けられる各種の周波数のクロックを発生するタイムベースカウンタのオーバフロー信号であるクロックTBCCLKを入力し、nビットカウンタ11に対してカウントアップ用のクロックをそのクロック入力端子CKに供給する回路である。

この種のウォッチドッグタイマでは、図示しないリセット信号によってnビットカウンタ11をリセットすることで、正常にマイコンのプログラムが実行されている限り、該nビットカウンタ11がオーバフローしないようにさせておく。もしマイコンに異常が発生した場合、nビットカウンタ11が一定時間以上経過してもリセットされないためにオーバフローを生じ、オーバフロー端子OVFからリセット信号WDTRESが出力される。このリセット信号WDTRESを用いてプログラムの暴走を防止し、マイコン全体の信頼度を高めている。通常、図2に示すブロックAのnビットカウンタ11のテストとしては、ブロックBからブロックAへクロックを供給し、リセット信号WDTRESが次式で示す期待時間t後に発生するか否かを確認するものである。

$$t = 2^n \times (1/f) \quad (S)$$

但し、n；カウンタ11のビット数

f；動作クロック周波数（Hz）

ところが、このテスト方法では、ウォッチドッグタイマカウンタ10をカウントアップさせるクロックが、タイムベースカウンタのオーバフロー信号であるクロックTBCCLKであり、このクロックTBCCLKはマイコンの基本クロックSYSCLKに比べて非常に周期の長いクロックである。そのため、テスト時間が非常に長くなってしまいうために、従来、種々のテスト回路が提案されている。

【0003】 図3は、従来のウォッチドッグタイマのテスト回路の一構成例を示すブロック図である。このテスト回路は、図2のウォッチドッグタイマカウンタ10を構成するnビットカウンタ11を、3つのmビットカウンタ11-1～11-3に分割し、それらの各mビットカウンタ11-1～11-3を、制御レジスタ12で制御されるセクタ13-1～13-4を介して接続した構成になっている。このテスト回路を用いたテスト方法では、3つのmビットカウンタ11-1～11-3のうち、例えば11-1と11-2、11-2と11-3、あるいは11-1のみという具合に、セクタ13-1～13-3を通してクロックTBCCLKでカウントアップさせる。そして、各mビットカウンタ11-1～11-3のオーバフロー信号であるリセット信号WDRES0、WDRES1、WDRES2が正常に発生したか否かをテストし、全体としてウォッチドッグタイマカウンタ10が正常に動作することを、セクタ13-4から出力されるリセット信号WDTRESによって確認する。このテスト方法によれば、図2のようなテスト回路のないウォッチドッグタイマカウンタ10のテスト時間よりも、テスト時間を短縮できる。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の図3のテスト回路では、若干のテスト時間を短縮できるものの、大幅なテスト時間の短縮は不可能である。しかも、nビットカウンタ11を3つのmビットカウンタ1

3

1-1~11-3に分割し、それらのmビットカウンタ11-1~11-3を制御レジスタ12で制御されるセレクト13-1~13-3を介して接続した構成であるため、テスト回路の回路規模が大きくなってしまい、コスト的に問題があるばかりか、テスト方法が複雑であるという問題があり、それらを解決することが困難であった。本発明は、前記従来技術が持っていた課題として、テスト時間が長い点、さらにテスト回路の規模が大きくなってテスト方法が複雑になるという点について解決し、回路規模が小さく、テスト方法が簡略化され、テスト時間を大幅に短縮できる、ウォッチドッグタイマを内蔵したマイコンのテスト回路を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、前記課題を解決するために、複数段のフリップフロップ（以下、F/Fという）で構成され、リセット信号によりリセットされかつカウントアップ用クロック（例えば、TBCCLK）によってカウントアップされるオーバフロー付きnビットカウンタを有するウォッチドッグタイマを備え、前記ウォッチドッグタイマにクロックを供給してオーバフロー信号が期待時間後に発生するか否かのテストを行うマイコンのテスト回路において、セレクト信号生成回路とセレクト回路とを設けている。セレクト信号生成回路は、前記リセット信号でリセットされて第1のセレクト信号を出力した後に、前記nビットカウンタの初段のF/Fの出力とテスト信号とに基づきセットされて第2のセレクト信号を出力する回路である。セレクト回路は、前記カウントアップ用クロックと該クロックよりも短い周期の高速クロック（例えば、マイコンの基本クロックSYCLK）とを入力し、前記第1のセレクト信号で該カウントアップ用クロックを出力して前記nビットカウンタをカウントアップさせ、かつ前記第2のセレクト信号で切換えられ該高速クロックを出力して前記nビットカウンタをカウントアップさせる回路である。

【0006】

【作用】本発明によれば、以上のようにウォッチドッグタイマを内蔵したマイコンのテスト回路を構成したので、リセット信号が入力され、nビットカウンタ及びセレクト信号生成回路がリセットされると、該セレクト信号生成回路から第1のセレクト信号が出力される。この第1のセレクト信号により、セレクト回路がカウントアップ用クロックを選択してnビットカウンタへ供給する。そのため、最初の1カウントのみカウントアップ用クロック信号によってウォッチドッグタイマがカウントアップする。nビットカウンタが最初の1カウントのみカウントアップすると、その初段のF/Fの出力によってセレクト信号生成回路から第2のセレクト信号が出力される。第2のセレクト信号が出力されると、セレクト回路が高速クロックを選択してnビットカウンタへ供給

4

する。そのため、ウォッチドッグタイマは、最初の1カウント以後、全て高速クロックでカウントアップしていく。このように、最初の1カウントのみカウントアップ用クロックによってウォッチドッグタイマが動作し、その後はセレクト回路によって高速クロックに自動的に切換えられ、その高速クロックによってウォッチドッグタイマがカウントアップしていく。従って、前記課題を解決できるのである。

【0007】

【実施例】図1は、本発明の実施例を示すウォッチドッグタイマを内蔵したマイコンのテスト回路の回路図である。ウォッチドッグタイマは、従来と同様に、リセット可能なオーバフロー付きnビットカウンタ30で構成されている。nビットカウンタ30は、クロック入力端子CK、リセット入力端子R、及び出力端子Q等を有するF/F31が、複数段縦続接続された回路構成になっている。各F/F31のリセット入力端子Rには、ウォッチドッグタイマをリセットするためのリセット信号RESETが供給される。nビットカウンタ30のオーバフロー端子OVFは、2入力ANDゲート32の一方の入力端子に接続され、その他方の入力端子が初段のF/F31のクロック入力端子CKに接続され、該ANDゲート32の出力端子から、ウォッチドッグタイマオーバフローによるリセット信号WDTRESが出力されるようになってい

nビットカウンタ30のクロック入力端子側には、セレクト信号S40を生成するセレクト信号生成回路40と、該セレクト信号S40によって切換えられるセレクト回路50とが設けられている。セレクト信号生成回路40は、リセット信号RESETでリセットされて“L”のセレクト信号S40を出力した後に、nビットカウンタ30の初段のF/F31の出力とテスト信号TESTとに基づきセットされて“H”のセレクト信号S40を出力する回路であり、2入力ANDゲート41と、リセットセット型F/F（以下、RS・F/Fという）42とで構成されている。2入力ANDゲート41の一方の入力端子はnビットカウンタ30の初段のF/F31の出力端子Qに接続され、他方の入力端子にテスト信号TESTが供給され、該ANDゲート41の出力端子がRS・F/F42のセット入力端子Sに接続されている。RS・F/F42は、2個の2入力NORゲート42a、42bを有し、それらがセット入力端子Sとリセット入力端子Rとの間にたすき掛け接続され、該NORゲート42a、42bの出力端子が、セット信号S40を出力するための出力端子Qに接続されている。RS・F/F42のリセット入力端子Rには、リセット信号RESETが供給される。RS・F/F42の出力端子Qには、該出力端子Qから出力されるセレクト信号S40を反転するインバータ43が接続され、該インバータ43と出力端子Qがセレクト回路50に接続されている。セレクト回路50は、セレクト信号生成回路40から出力されるセ

5

クト信号S40と、それがインバータ43で反転された反転セレクト信号とにより切換えられ、タイムベースカウンタのオーバフロー信号であるクロックTBCCLKと、マイコンの基本クロックSYSCLKとの、いずれか一方を選択して出力する回路である。このセレクト回路50は、クロックTBCCLK及びインバータ43の出力信号の論理積を求める2入力ANDゲート51と、セレクト信号S40及び基本クロックSYSCLKの論理積を求める2入力ANDゲート52と、該ANDゲート51、52の出力信号の論理和を求める2入力ORゲート53とで、構成されている。ORゲート53の出力端子は、2入力ANDゲート54の一方の入力端子に接続され、その他方の入力端子にウォッチドッグタイマランビットの入力信号WWDITが供給され、さらに該ANDゲート54の出力端子が、nビットカウンタ30の初段のF/F31のクロック入力端子CK及びANDゲート32の入力端子に共通接続されている。

【0008】図4は、図1のテスト回路のテスト動作を示すタイミングチャートであり、この図を参照しつつ図1のテスト動作を説明する。まず、マイコンのリセット処理により、リセット信号RESETが発生すると、RS・F/F42及びnビットカウンタ30がリセットされる。そのため、RS・F/F42の出力端子Qから出力されるセレクト信号S40が“L”（第1のセレクト信号）となり、それがインバータ43で反転されてセレクト回路50のANDゲート51が開き、該セレクト回路50がクロックTBCCLKを選択することになる。そして、テストを行う前に、テスト信号TESTを“H”にセットする。これにより、ANDゲート51が開いてテスト回路が有効になり、この状態でウォッチドッグタイマを構成するnビットカウンタ30のテストを行う。このテストでは、ウォッチドッグタイマを構成するnビットカウンタ30を動作させるために、入力信号WWDITを“H”にセットし、ANDゲート54を開いてnビットカウンタ30にクロックが供給されるようにする。nビットカウンタ30に供給されるクロックは、初期状態ではセレクト回路50によってクロックTBCCLKが選択されている。クロックTBCCLKが1発生すると、nビットカウンタ30の初段のF/F31の出力端子Qが“L”→“H”へと変化する。このとき、F/F31の出力端子Qの出力信号とテスト信号TESTとにより作られるANDゲート41の出力信号が“L”→“H”となる。これにより、RS・F/F42の出力端子Qから出力されるセレクト信号S40も“L”→“H”（第2のセレクト信号）へと変化する。セレクト信号S40が“L”→“H”へ変化すると、セレクト回路50内のANDゲート52が開き、該セレクト回路50が基本クロックSYSCLKを選択し、その基本クロックSYSCLKがANDゲート54を通してnビットカウンタ30へ供給される。nビットカウンタ30は、以後リセット信号RESETが発生しない限り、RS・

6

F/F42の出力端子Qから出力されるセレクト信号S40が変化せず、セレクト回路50も変化しないので、基本クロックSYSCLKでカウントアップを行っていく。そして、nビットカウンタ30にオーバフローが発生し、オーバフロー端子OVFが“H”となると、ANDゲート32によってANDゲート54の出力信号との論理積がとられ、リセット信号WDTRESが発生する。

【0009】以上のように、本実施例では、nビットカウンタ30が、最初の1カウントの“0”→“1”へのカウントアップのみクロックTBCCLKでカウントアップし、その後の“2”→“2ⁿ”（但し、n；nビットカウンタ30のビット数）までは基本クロックSYSCLKでカウントアップする。そのため、ウォッチドッグタイマのオーバフローによるリセット信号WDTRESが、従来と比べて非常に速い時間で発生するので、結果として該ウォッチドッグタイマのテスト時間を大幅に短縮できる。しかも、セレクト回路50により、nビットカウンタ30を最初の1カウント目にクロックTBCCLKで動作させ、その後は全て基本クロックSYSCLKでカウントアップさせるように自動的に切換えられるので、テスト回路の回路構成が簡単で、その構成素子数が少なく、低コスト化が可能になると共に、テスト方法の簡略化も可能となる。なお、本発明は上記実施例に限定されず、例えば、図1のセレクト信号生成回路40及びセレクト回路50を、他のゲート回路やフリップフロップ等を用いて図示以外の回路構成に変更してもよい。さらに、上記実施例のテスト回路は、nビットカウンタ30のオーバフローを速く起こさせるものであり、ウォッチドッグタイマ以外のカウンタのテスト等にも非常に有効であって適用可能である。

【0010】

【発明の効果】以上詳細に説明したように、本発明によれば、ウォッチドッグタイマのカウントアップを、最初の1カウント目にカウントアップ用クロックで動作させ、その後は全て高速クロックでカウントアップさせるように自動的に切換わるセレクト信号生成回路及びセレクト回路を設けたので、テスト回路の回路構成が簡単になってその回路規模を小さくでき、低コスト化が可能となる。さらに、高速クロックでウォッチドッグタイマのオーバフローを検出するので、テスト時間を大幅に短縮でき、その上、テスト方法の簡略化も可能になる。

【図面の簡単な説明】

【図1】本発明の実施例を示すウォッチドッグタイマを内蔵したマイコンのテスト回路の回路図である。

【図2】従来のウォッチドッグタイマの構成例を示す概略のブロック図である。

【図3】従来のウォッチドッグタイマのテスト回路の構成例を示すブロック図である。

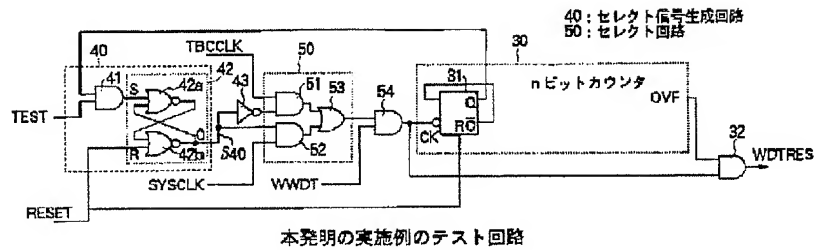
【図4】図1のテスト動作のタイミングチャートである。

【符号の説明】

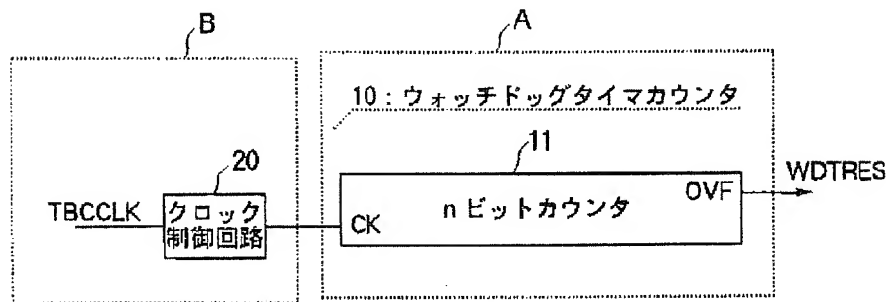
30	nビットカウンタ
31	フリップフロップ (F/F)
32, 41, 54	ANDゲート
40	セレクト信号生成回路
42	RS・F/F
43	インバータ
50	セレクト回路

RESET	リセット信号
S40	セレクト信号
SYSCLK	基本クロック
TBCCLK	クロック
TBST	テスト信号
WDRES	リセット信号
WWDT	入力信号

【図1】



【図2】



【図4】

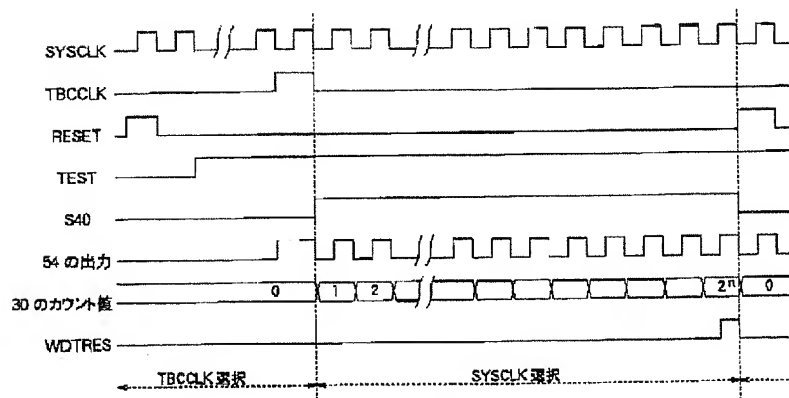
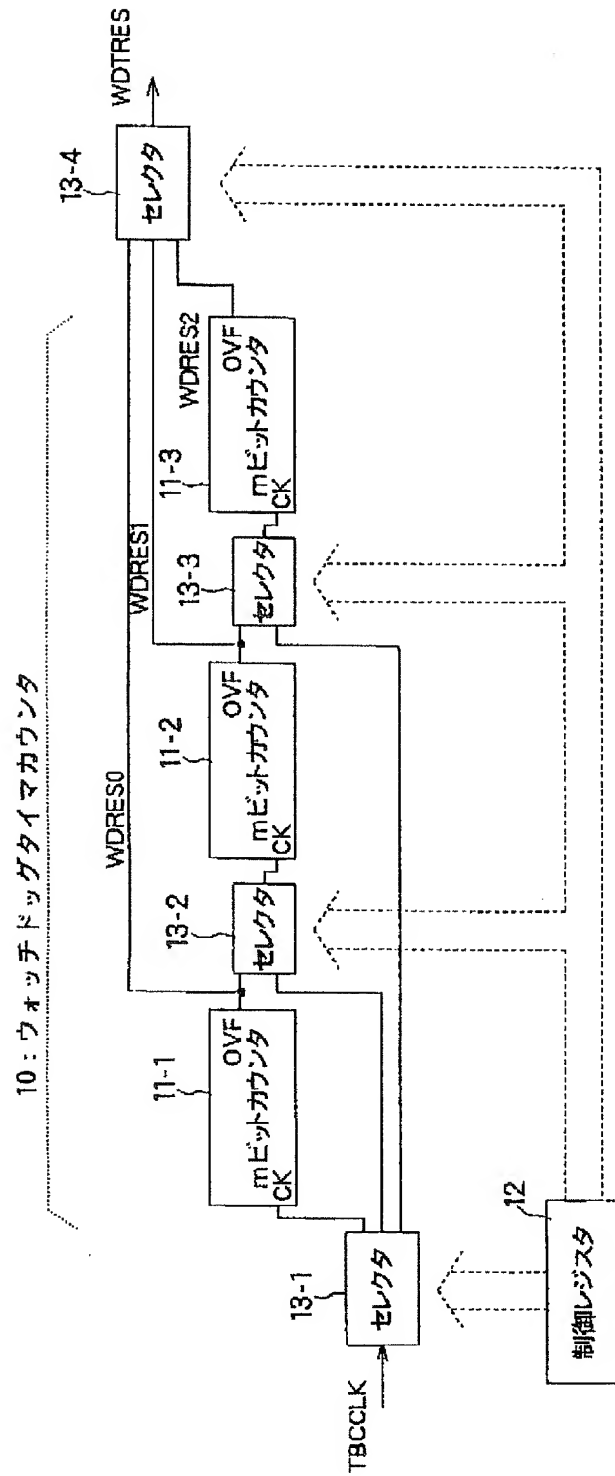


図1のテスト動作のタイミングチャート

【図3】



従来のウォッチドッグタイムのテスト回路